

(19) 日本国特許庁 (J P)

(12) 登録実用新案公報 (U)

(11) 実用新案登録番号

実用新案登録第3066074号

(U3066074)

(45) 発行日 平成12年2月18日 (2000.2.18)

(24) 登録日 平成11年11月17日 (1999.11.17)

(51) Int.Cl.

識別記号

F I

G 0 1 R 31/316

29/02

L

31/28

評価書の請求 未請求 請求項の数 2 O L (全 15 頁)

(21) 出願番号

実願平11-5575

(22) 出願日

平成11年7月26日 (1999.7.26)

(73) 実用新案権者 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 考案者 三浦 稔幸

東京都練馬区旭町1丁目32番1号 株式会

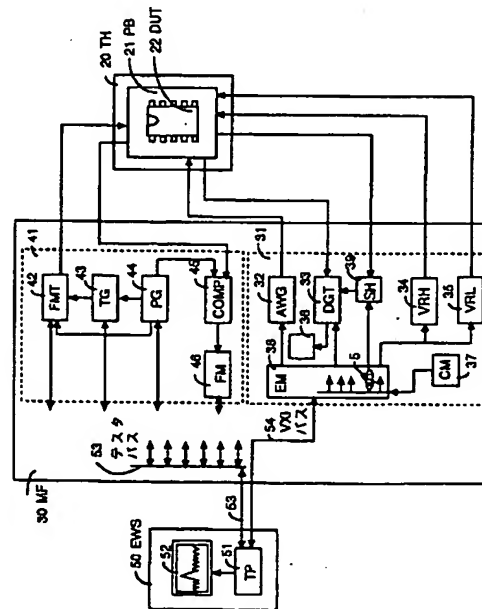
社アドバンテスト内

(54) 【考案の名称】 半導体試験装置

(57) 【要約】

【課題】 DUTのクロック信号のジッタ測定を迅速に行う半導体試験装置。

【解決手段】 ①テストプロセッサで装置全体の制御を行い、アナログ測定部を有する半導体試験装置であって、②DUTのクロック信号の(1/整数)倍のサンプリング・パルスを発振するサンプリング・パルス発振器と、③該サンプリング・パルスを受け、サンプリング・パルスを任意の時間、遅延させる可変遅延手段と、④遅延されたサンプリング・パルスをもってDUTのクロック信号をサンプリングするサンプラと、⑤可変遅延手段の遅延時間を変化させてサンプリング・パルスのタイミングを変化させ、DUTのクロック信号のエッジをサーチさせる制御手段とを具備する半導体試験装置。



1

【実用新案登録請求の範囲】

【請求項1】 テストプロセッサで装置全体の制御を行い、アナログ測定部を有する半導体試験装置において、DUTのクロック信号の(1/整数)倍の周波数であるサンプリング・パルスを発振するサンプリング・パルス発振器と、

該サンプリング・パルスを受け、サンプリング・パルスを任意の時間、遅延させる可変遅延手段と、

遅延されたサンプリング・パルスでもってDUTのクロック信号をサンプリングするサンプラと、

可変遅延手段の遅延時間を変化させてサンプリング・パルスのタイミングを変化させ、DUTのクロック信号のエッジをサーチさせる制御手段と、

を具備することを特徴とする半導体試験装置。

【請求項2】 テストプロセッサで装置全体の制御を行い、アナログ測定部を有する半導体試験装置において、DUTのクロック信号の(1/整数)倍の周波数であるサンプリング・パルスを発振するサンプリング・パルス発振器を有するクロック・マスタと、

クロック・マスタからのサンプリング・パルスを受け、該サンプリング・パルスを任意の時間、遅延させる可変遅延手段を有するイベント・マスタと、

イベント・マスタからの遅延されたサンプリング・パルスでもってDUTのクロック信号をサンプリングするサンプリング・ヘッドと、

サンプリング・ヘッドからのサンプリングされたDUTのクロック信号を受けてデジタイズするデジタイザと、マスタの可変遅延手段の遅延時間を変化させて、DUTのクロック信号のエッジをサーチさせる制御手段と、

を具備して、DUTのクロック信号のジッタを測定することを特徴とする半導体試験装置。

【図面の簡単な説明】

【図1】 本考案による半導体試験装置の一実施例の構成図である。

【図2】 本考案に使用する可変遅延手段5の一例の構成図である。

【図3】 本考案でのDUTのクロック信号のエッジをサーチする一例の説明図である。

【図4】 本考案及び従来構成で使用するサンプリング・ヘッド39の一例の構成図である。

【図5】 従来の半導体試験装置の一例の概略構成図である。

【図6】 ミクスドLSIであるDUT22の一例の概略構成図とそれを試験する一例の概念図である。

10

20

30

40

*

2

*【図7】 従来の半導体試験装置で、DUT22のクロックのジッタを測定する方法の考えられる説明図である。

【符号の説明】

5 可変遅延手段

6 i (i = 1 ~ n) セレクタ

7 i (i = 1 ~ n) 遅延素子

9 レジスタ

10 データ入力端子

11 イネーブル端子

12 クロック端子

15 クロック発生部門

16 クロック出力端子

17 ロジック部門

18 A/Dコンバータ部門

19 D/Aコンバータ部門

20 テストヘッド (TH)

21 パフォーマンスボード (PB)

22 DUT (被試験デバイス)

30 メインフレーム (MF)

31 アナログ測定部

32 任意波形発生器 (AWG)

33 デジタイザ (DGT)

34 ハイレベル基準電圧発生器

35 ローレベル基準電圧発生器

36 データメモリ (DCAP)

37 クロック・マスタ (CM)

38 イベント・マスタ (EM)

39 サンプリング・ヘッド (SH)

40 ダイオード・ブリッジ

41 デジタル測定部

42 波形整形器 (FMT)

43 タイミング発生器 (TG)

44 パターン発生器 (PG)

45 パターン比較器 (COMP)

46 フェイル・メモリ (FM)

50 ワーク・ステーション (EWS)

51 テストプロセッサ (TP)

52 表示部

53 テスタバス

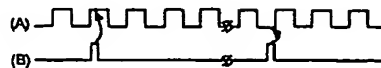
54 VXIバス

Y 電圧レベルの最大変化量

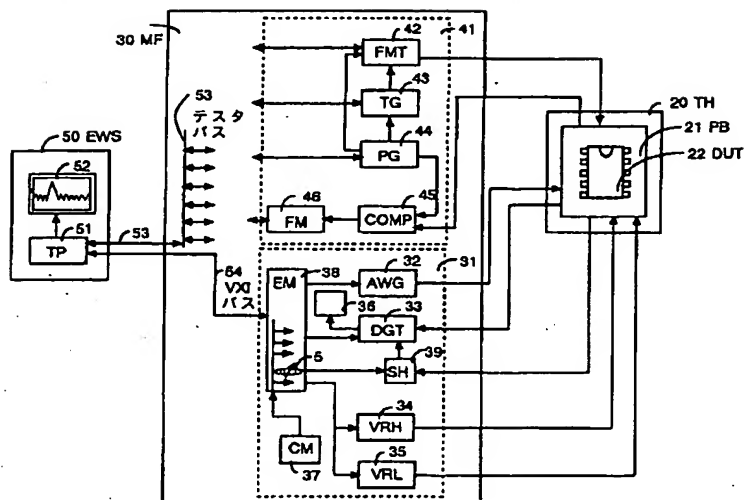
X ジッタ量をX

θ クロック信号の立ち上がり波形の角度

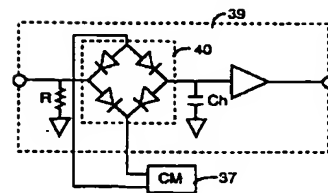
【図3】



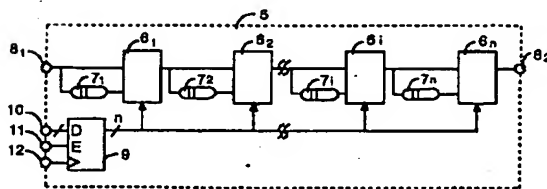
【図1】



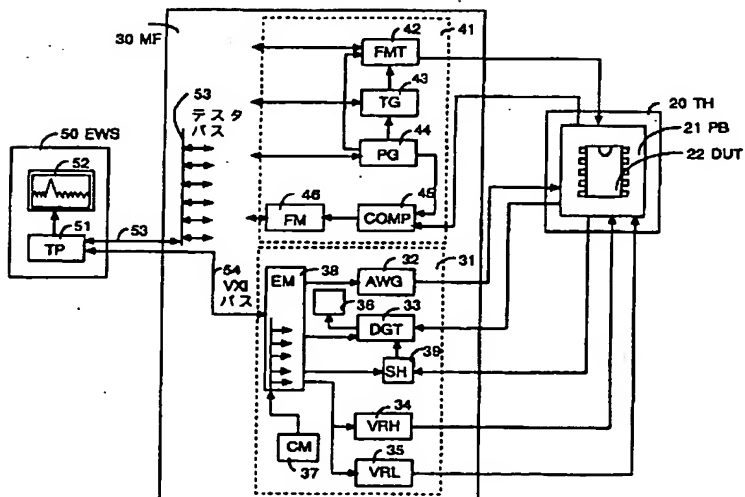
【図4】



【図2】

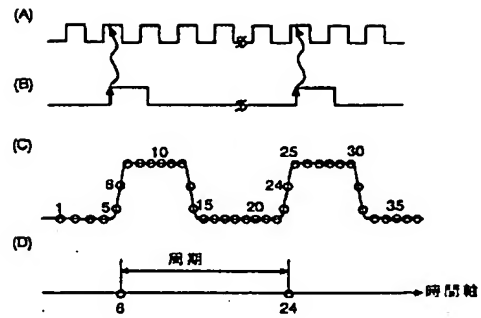


【図5】



実登3066074

【圖7】



【考案の詳細な説明】

【0001】

【考案の属する技術分野】

この考案は、アナログLSI（大規模集積回路）やミクスドLSIを試験するためのアナログ測定部を有する半導体試験装置であって、DUT（被試験デバイス）内部で用いているクロックのジッタを測定できる半導体試験装置に関する。

【0002】

【従来の技術】

半導体LSIの発展はめざましく、以前はLSIの機能毎にロジックLSIやメモリLSIやアナログLSI等に分類されていて、現在でもそれぞれ存在するが、更に「ミクスドLSI」としてロジック部やメモリ部やアナログ部等が統合されたLSIも出現している。例えば1チップのテレビ用LSIやオーディオ用LSIや通信用LSIのMODEMやCODEC等が典型的な「ミクスドLSI」のデバイスと云えよう。つまりミクスドLSIは、ロジック部門に加えてA/DコンバータやD/Aコンバータ等のアナログ部門とメモリ部門とを混在したLSIである。

【0003】

上記のミクスドLSIを試験するためにミクスド半導体試験装置がある。アナログLSIのみを試験するためのアナログ半導体試験装置もある。更に、最近ではデジタル半導体試験装置にアナログ回路の試験も行う部門を装備した総合的な半導体試験装置も開発されている。本明細書では、これらを総称して「半導体試験装置」ということにする。まず、従来のいわゆるミクスド半導体試験装置について説明する。

【0004】

図5に従来の半導体試験装置の概略ブロック図を、図4に装置に使用しているサンプリング・ヘッドの一例の構成図を、図6にミクスドLSIであるDUT2を測定する概念図を、図7にDUTのクロックのジッタを測定する方法の考えられる説明図を示す。図5を主に用いて説明する。この半導体試験装置を大きく分類すると、ワーク・ステーション(EWS)50と、メインフレーム(MF)30と、テストヘッド(TH)20とから構成されている。

【0005】

ワーク・ステーション50は、オペレータが操作するところであって、テストプロセッサ51や表示部52や、図示していないがキーボードなどの入出力手段を有している。テストプロセッサ51は装置全体の制御を行い、テストバス53やVXIバス54を介して各ユニットに制御信号を与える。VXIバス54は、米国で標準化が進んでいるモジュール型計測器用のシステム・バスであって、これを導入したのは、異なるメーカーのモジュールやプリント基板を組み合わせでアナログ測定部31のシステムが容易に構成することができるからである。従って、全てのユニットやモジュールを自社製にすると、必ず必要なバスではなくテストバス53のみで構成しても良い。また、テストプロセッサ51はメインフレーム30に設けてもよいが、このときもワーク・ステーション50でテストプロセッサ51を駆動する。

【0006】

メインフレーム30は、この半導体試験装置の主構成を成すところであって、主にアナログ測定部31とデジタル測定部41とがある。メインフレーム30内のアナログ測定部31の各ユニットや各モジュールには、例えばVXIバス54で、デジタル測定部41の各ユニットにはテストバス53で、それぞれテストプロセッサ51と結ばれ、データの授受を行っている。

それぞれについて簡単に説明する。

【0007】

アナログ測定部31には、任意のアナログ波形信号を発生する任意波形発生器(AWG; Arbitrary Waveform Generator) 32や、アナログ信号をデジタル信号に変換するデジタイザ(DGT; Digitizer) 33や、任意のハイレベル基準電圧(VRH)を発生するハイレベル基準電圧発生器34や任意のローレベル基準電圧(VRL)を発生するローレベル基準電圧発生器35等々の複数のアナログ・モジュールで構成されている。イベント・マスタ(EM; Event Master) 38は、これら複数のアナログ・モジュール等の動作を制御している。

【0008】

本明細書で、イベント・マスタ(EM) 38とは、クロック・マスタ(CM;

Clock Master) 37からの数種類のクロック信号から所定のクロック信号を直接にあるいは分周して、クロック信号のバースト波を並列して数種類生成し、並列に設置した複数のマルチプレクサを介して、アナログ関係の各ユニットや各モジュールに対して並列にそれぞれ必要なスタート・ストップのシーケンス等を正確に制御して出力する部門をいう。

アナログ測定部31は本装置で生成したアナログ・テスト信号をDUT(被試験デバイス)22に与え、DUT22からの応答信号を処理し合否判定したりしてDUT22のアナログ部門の測定を行う。

【0009】

デジタル測定部41には、DUT22を試験する論理パターンと期待値パターンとを生成するパターン発生器(PG)44や、パターンのタイミングを生成するタイミング発生器(TG)43や、論理パターンをDUT22に与える試験信号に変換する波形整形器(FMT)42や、DUT22の応答信号を期待値パターンと比較するパターン比較器(COMP)45等が含まれており、DUT22のロジック部門の測定を行う。

【0010】

テストヘッド20には、パフォーマンスボード(PB)21が装着され、DUT22にテスト信号を与えてその応答信号を受ける信号の授受を行い、DUT22を試験する。パフォーマンスボード21とメインフレーム30のアナログ測定部31やデジタル測定部41との間にはそれぞれケーブルで接続されている。

【0011】

図6に、ミクスドLSIであるDUT22の一例の概略構成図とそれを試験する一例の概念図を示す。

DUT22のロジック部門17には、デジタル測定部41の波形整形器42からのテスト信号が与えられ、その応答信号はコンパレータで電圧比較され、パターン比較器45で期待値パターンと比較されて良否が判定される。

【0012】

A/Dコンバータ部門18にはアナログ測定部31のAWG32から任意のアナログ波形が与えられ、DUT22でデジタル化されたデジタル値をバッファメ

モリであるDCAP (Data Caputre) 36に記憶させ、後に良否が判定される。

【0013】

D/Aコンバータ部門19には、アナログ測定部31のハイレベル基準電圧発生器34からH端子にハイレベルの基準電圧(VRH)が、ローレベル基準電圧発生器35からL端子にローレベルの基準電圧(VRL)が与えられ、ロジックドライバピンより論理データが与えられて、DUT22は入力論理データ信号に対応するアナログ信号を発生する。DUT22から出力されるアナログ信号はデジタイザ(DGT)33でデジタル化されて良否が判定される。

【0014】

半導体試験装置には、DUT22からの数100MHz以上の高周波信号を処理するためにサンプリング・ヘッド(SH)39も準備されている。高周波信号はサンプリング・ヘッド39で数MHz以下の信号に変換されてデジタイザ33に送られる。デジタイザ33の出力データはFFT(高速フーリエ変換)演算手段でデータ処理して良否判定することもある。

サンプリング・ヘッド39は、テストヘッド20に設けているのが一般的であるが、本明細書では、説明上メインフレーム30に設けて説明する。

【0015】

前述したように、DUT22である半導体LSIの発展はめざましく、システムLSIとして益々発展している。従って従来では、テスト項目で無かった項目のテスト項目が要求されている。その内の一つに、DUT22が発生しているクロック信号のジッタの測定項目である。ジッタとは、信号の時間的ふらつきであり、位相の迅速でしかも断続的な変化をいう。例えば、オシロスコープ上で観測される信号波形の左右の振れである。

【0016】

図6に示すように、DUT22にはクロック発生部門15があり、発生したクロック信号を他のロジック部門17やA/Dコンバータ部門18やD/Aコンバータ部門19等に与えて同期を取りながら総合的な動作をしている。最近のDUT22には、クロック出力端子16を有しているものもある。DUT22のジッタが大きいと電子機器のシステム構成において誤動作等の問題が生じるので、試

験の必要性がある。このクロック出力端子16のクロック信号のジッタを半導体試験装置で測定するものである。

【0017】

半導体試験装置でもって、このジッタを測定する方法には、図7に示す方法が考えられる。図7(A)はDUT22のクロック信号であり、繰り返し周波数を例えば20MHzとする。図7(B)は半導体試験装置のサンプリングクロックであり、例えば2.01MHzとする。図示していないが、図7(B)のサンプリングクロックの立ち上がりでサンプリング・パルスを生成し、この位相が被測定信号と若干ずれているサンプリング・パルスで、図7(A)のDUT22のクロックパルスをサンプリングする。

【0018】

サンプリングを行うには、例えば図4に示すサンプリング・ヘッドを用いる。このサンプリングされた信号をデジタイザ33に与えてデータを求めると、例えば図7(C)のようなDUT22のクロックパルスが再現される。

図7(C)の波形上の数字はサンプリングポイントの数字である。このデータのエッジ間が周期であり、図7(D)のようにデータ6とデータ24が周期となる。複数の波形のエッジ間の周期を比較することによりジッタが求まる。

【0019】

【考案が解決しようとする課題】

従来の半導体試験装置の構成でも、DUT22のクロック信号のジッタを求めることはできる。しかしながら、上述したように、サンプリング・ヘッドとデジタイザによるサンブラを用いてジッタ測定する場合には、被測定信号であるDUTのクロック信号の数周期以上の波形を全てサンプリングして波形を再現する必要がある。

【0020】

このことは、サンプリングポイントが非常に多くなり、このジッタ測定に多くの測定時間をかけることになり、全体的な測定の効率が悪くなり、テスト・コストの向上につながる。

この考案は、わずかなハードを追加して、迅速にDUTのクロック信号のジッ

タを測定することを目的とする。

【0021】

【課題を解決するための手段】

上記目的を達成するために、この考案は、DUTのクロック信号の（1／整数）倍の周波数、つまり整数分の1倍の周波数のパルス信号を発振するサンプリング・パルス発振器と、サンプリング・パルスを任意の時間、遅延させる可変遅延手段と、遅延されたサンプリング・パルスでDUTのクロック信号をサンプリングするサンプラと、可変遅延手段の遅延量を変化させてDUTのクロック信号のエッジをサーチさせる制御手段とで構成させる。

【0022】

サンプリング・パルス発振器はクロック・マスタに付属したクロック・ソースに設置するのがよい。半導体試験装置では、主な複数のクロック発振器をクロック・マスタに付属したクロック・ソースに設置し管理しているからである。DUTのクロック信号の周波数は仕様書や取扱説明書等に記載しており、一般に既知である。そこでサンプリング・パルス発振器は低ジッタでパルスを発振し、DUTのクロック信号の（1／整数）倍の所定の周波数を発振できるシンセサイザでよい。

【0023】

低ジッタのサンプリング・パルスは任意の時間を遅延できる可変遅延手段を通してサンプラに与えられる。可変遅延手段は、クロック・マスタから数種類のクロック信号を入力して加工し、アナログ関係の各モジュールに対し並列に必要なスタート・ストップを出力するイベント・マスタに設けるのがよい。但し、このサンプリング・パルスは低ジッタの高純度のパルスを必要とするので、単独で直接にサンプリング・パルス発振器より受けて遅延させ、サンプラに伝送する。

【0024】

サンプラは単独に設けてもよいが、半導体試験装置には既にサンプリング・ヘッドとデジタイザが設置されているのが一般的であるので、この両者を用いてサンプラとして用いるのがよい。可変遅延手段からのサンプリング・パルスを受けたサンプラは、DUTからのクロック信号をサンプリングしてデータ処理する。

【0025】

上述した可変遅延手段の分解能は、時代の技術レベルによる要求性能で決まるが、例えば、1 ns (10^{-9} 秒) 単位に可変遅延することができるものとする。

この遅延時間の制御は制御手段で行う。制御手段はテストプロセッサの一部に設ければよい。制御手段のテストプログラムによる制御で任意に遅延時間を可変できるようにする。

【0026】

制御手段は、サンプリング・パルスのエッジを変化させて、DUTのクロック信号のエッジをサーチする。サーチは、高速サーチ法のバイナリ・サーチ法がよい。バイナリ・サーチ法とは、目標点とその点をはさむ2点の midpoint との大小を比較し、探索領域を半分除き、この過程を繰り返すことによって、目標点を決定していく方法である。一度DUTのクロック信号のエッジを確認すると、その時の遅延量を基準として、その後のエッジの振れを測定してジッタの時間量を測定することができる。次に、考案の内容について述べる。

【0027】

第1考案は基本的な考案である。つまり、①テストプロセッサで装置全体の制御を行い、アナログ測定部を有する半導体試験装置であって、②DUTのクロック信号の(1/整数)倍の周波数であるサンプリング・パルスを発振するサンプリング・パルス発振器と、③該サンプリング・パルスを受け、サンプリング・パルスを任意の時間、遅延させる可変遅延手段と、④遅延されたサンプリング・パルスでもってDUTのクロック信号をサンプリングするサンブラと、⑤可変遅延手段の遅延時間を変化させてサンプリング・パルスのタイミングを変化させ、DUTのクロック信号のエッジをサーチさせる制御手段とを具備する半導体試験装置である。

【0028】

第2考案は従来の設計手法に適する具体的な考案である。つまり、①テストプロセッサで装置全体の制御を行い、アナログ測定部を有する半導体試験装置であって、②DUTのクロック信号の(1/整数)倍の周波数であるサンプリング・パルスを発振するサンプリング・パルス発振器を有するクロック・マスタと、③

クロック・マスタからのサンプリング・パルスを受け、該サンプリング・パルスを任意の時間、遅延させる可変遅延手段を有するイベント・マスタと、④イベント・マスタからの遅延されたサンプリング・パルスでもってDUTのクロック信号をサンプリングするサンプリング・ヘッドと、⑤サンプリング・ヘッドからのサンプリングされたDUTのクロック信号を受けてデジタイズするデジタイザと、⑥イベント・マスタの可変遅延手段の遅延時間を変化させて、DUTのクロック信号のエッジをサーチさせる制御手段とを具備して、DUTのクロック信号のジッタを測定する半導体試験装置である。

【0029】

【考案の実施の形態】

考案の実施の形態を実施例に基づき図面を参照して説明する。図1に本考案による半導体試験装置の一実施例の構成図を、図2に本考案に使用する可変遅延手段の一例の構成図を、図3に本考案でのDUTのクロック信号のエッジをサーチする説明図を、図4にはサンプリング・ヘッドの一例の構成図を示す。

【0030】

数値を用いて説明する。例えばDUTのクロック信号の繰り返し周波数を10MHz、つまり周期を $0.1\mu\text{s}$ とし、サンプリング・パルスの繰り返し周波数を1MHz、つまり周期を $1\mu\text{s}$ とする。これは、サンプリング・パルスをDUTのクロック信号の $(1/10)$ 倍の周波数で発振させていることになる。この両者は位相が同期していない。これを同期させるには両者の立ち上がりのエッジを、つまり、サンプリング・パルスの位相を、例えば1ns分解能で遅延し変化させて一致させる。最初の両者の一致時の遅延時間とそのときの電圧レベルを基準とし、遅延時間はそのまま一定として、その後の最大の電圧レベルの変化量を求める。その電圧レベルの最大変化量を時間変化量に換算してジッタとする。

【0031】

電圧レベルの変化量を時間変化量に換算する最も簡単な手段を説明する。

DUT22のクロック信号の波形を図7(C)とする。そして立ち上がりのエッジがサンプリング・パルスと一致した電圧レベルを図7(C)の点6の電圧レベルとする。低ジッタのサンプリング・パルスの発生を一定時毎とし、ジッタが

生じているDUTのクロック信号の電圧レベルを測定すると、クロック信号が左右に振れているので測定毎に電圧レベルが変化する。

【0032】

測定した電圧レベルの最大変化量を Y とする。左右に振れるジッタ量を X とする。DUTのクロック信号の立ち上がり波形を直線と仮定してその角度を θ とする。すると、 $(Y/X) = \tan \theta$ の式が成り立つ。従って、 $X = (Y/\tan \theta)$ となり、電圧レベルの最大変化量 Y を測定することにより、ジッタ量 X を求めることができる。

【0033】

図1はこの考案の一実施例のブロック図である。クロック・マスタ37は、図示していないが、付属する複数のクロック・ソースのクロック信号を処理しているが、クロック・ソースには任意の周波数を発振できるシンセサイザがある。このシンセサイザにDUTのクロック信号の繰り返し周波数の $(1/\text{整数})$ 倍、上記の数値では10分の1倍の1MHzの低ジッタのサンプリング・パルスを生成させる。この1MHzの低ジッタのサンプリング・パルスをクロック・マスタ37は、そのままイベント・マスタ38に伝送する。

【0034】

イベント・マスタ38でも、特に加工せずに、新たに設けた可変遅延手段5に直接入力させて、例えば、1ns単位で任意に遅延できるようにしてサンプリング・ヘッド39に出力する。つまり、イベント・マスタ38においてもクロック・マスタ37においても、サンプリング・クロックを分周したりマルチプレクサを通したりして加工すると、新たにジッタが生じるので、発振器で生成した低ジッタのサンプリング・パルスをそのまま出力できるように構成する。

【0035】

図2はイベント・マスタ38に新たに設けた可変遅延手段5の一例の構成図である。サンプリング・パルスは入力端子8₁から入力し、出力端子8₂から出力する。遅延素子7_i ($i = 1 \sim n$)は、例えばインバータの縦続した列で一定時間の遅延を行う。例えば、1ns単位の可変遅延手段5であると、遅延素子7₁は遅延時間を1nsとし、遅延素子7₂は2nsとし、遅延素子7₃は4nsと

し、遅延素子7_nは 2^{n-1} nsとしてアナログ遅延を行う。6_i ($i=1\sim n$) はセレクトで、サンプリング・パルスを直接通過させたり、遅延素子7_iで遅延されたものを通過させたりする。セレクト6_iはレジスタ9からの選択信号で制御される。

【0036】

レジスタ9は、選択信号をデータ入力端子10から入力し、イネーブル端子11からのイネーブル信号時にクロック端子12からのクロック信号で選択信号をラッチし、その選択信号をセレクト6_iに出力する。

【0037】

図3は、DUTのクロック信号のエッジをサーチする一例の説明図であり、DUTのクロック信号のエッジを挟んでバイナリ・サーチ法でエッジをサーチしている。

図4は、本考案でも使用できるサンプリング・ヘッド39の一例の構成図である。クロック・マスタ37からのサンプリング・パルスが入力時のみダイオード・ブリッジ40はオンする。このとき入力信号であるDUTのクロック信号のレベルは蓄積コンデンサC_hにチャージされ、バッファ・アンプを介してデジタイザ33に出力される。

【0038】

デジタイザ33ではアナログ信号をデジタル化し、データを処理して、DUTのクロック信号のエッジとサンプリング・パルスのエッジとの一致を検索する。最初の一致時の可変遅延手段5の遅延時間と電圧レベルを基準として、その後のDUTのクロック信号のエッジの振れによる電圧レベルの変化量をサンプリング測定し、その電圧レベルの変化量を時間変化量に換算することによりDUTのクロック信号のジッタ量を測定する。

【0039】

【考案の効果】

以上詳細に説明したように、DUTのクロック信号のジッタを測定するには、従来の手法ではDUTのクロック信号をデジタイズして波形を再現し、周期を計算して、複数のDUTのクロック信号の周期の差、振れを求めて測定するしか

かった。従って測定するポイント数が非常に多く、測定時間が非常に長くなる。

【0040】

この考案はDUTのクロック信号のジッタを迅速に測定することを目的とし、そのために既知のDUTのクロック信号の(1/整数)倍の周波数であるサンプリング・パルスを生成し、そのサンプリング・パルスを可変遅延手段5で遅延させながらDUTのクロック信号のエッジをサーチさせるものである。このエッジの振れを求めてジッタを測定する。

従って、測定時間は非常に短縮され、演算も少なくなる。この考案の技術的効果は大である。

実登3066074

【公報種別】登録実用新案公報の訂正

【部門区分】第6部門第1区分

【発行日】平成12年10月6日(2000. 10. 6)

【登録番号】実用新案登録第3066074号(U3066074)

【登録日】平成11年11月17日(1999. 11. 17)

【登録公報発行日】平成12年2月18日(2000. 2. 18)

【年通号数】登録実用新案公報12-19

【出願番号】実願平11-5575

【訂正要旨】国際分類の誤りにつき下記の通り全文を訂正する。

【国際特許分類第7版】

G01R 31/316

29/02

31/28

【F I】

G01R 31/28

C

29/02

L

31/28

H

【記】別紙のとおり